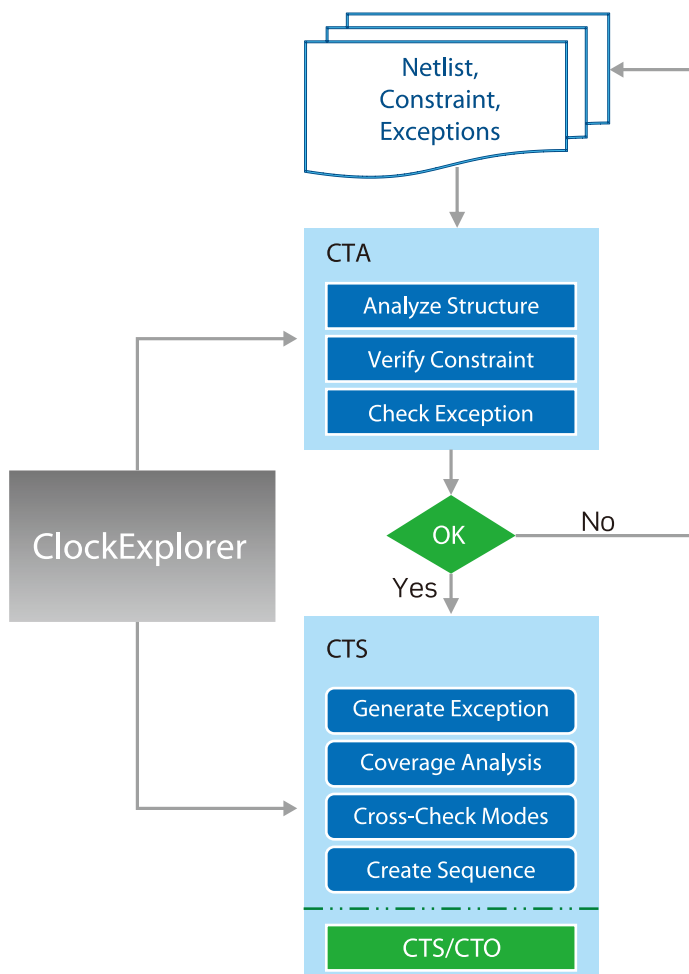


ClockExplorer

复杂时钟分析优化工具

ClockExplorer为用户提供最全面、高效的时钟解决方案，分析复杂时钟系统结构，加速时钟设计收敛，提高时钟树综合质量。现已成为多家国内外领先IC设计公司的标准时钟解决方案，成功完成了百余颗存储、网络、视频、手机等大规模SoC芯片的流片生产。



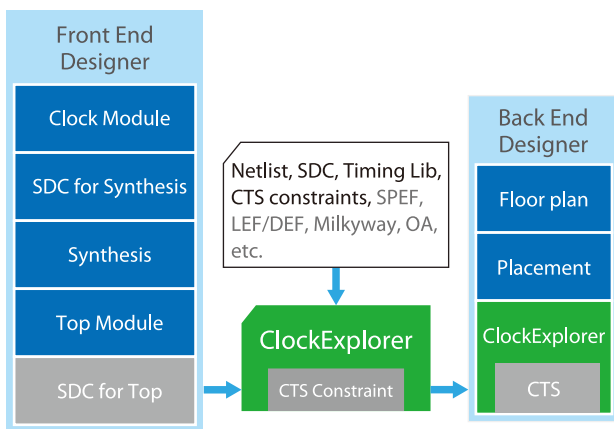
ClockExplorer为时钟系统进行全面的检查校验，提供有效的优化策略，提高时钟树综合质量。

功能与优势

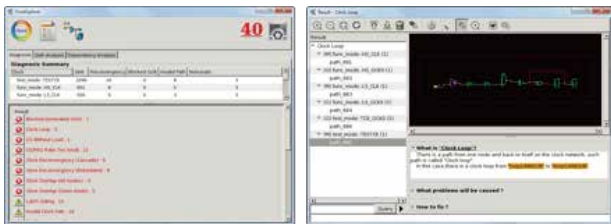
- 复杂时钟结构的专家分析系统，清晰展现时钟系统结构特点
- 连接时钟前端和后端设计的通用化平台，搭建不同设计阶段之间的沟通桥梁
- 先进的深亚微米时钟设计方法学，解决先进工艺条件下的特殊问题
- 自动分析和提取时钟设计瓶颈，有效缩短设计周期
- 自动检查和修正时钟设计错误，准确定位并提供解决方案
- 自动生成准确、高效的CTS策略，提高时钟树综合质量
- 与业界主流CTS工具无缝链接，简化时钟结构，优化时钟设计
- 更友好的用户界面，提供一键检查和结果图示，自动报告汇总

主要功能

- 自动提取时钟结构
- 自动生成时钟原理图
- 支持多模式时钟结构分析
- 检查时钟设计错误
- 分析时钟设计约束
- 时序相关性检查
- 优化时钟拓扑
- 生成CTS策略
- CTS结果分析



ClockExplorer架起了前后端设计的桥梁，提供时钟结构的清晰展现和全面分析与检查，Turn-Around-Time周期时间得以缩短。

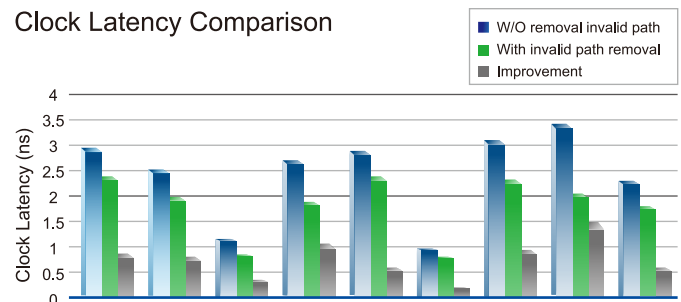


ClockExplorer提供了时钟分析优化的平台，优化的用户界面，丰富的检查功能，详细的结果展示和策略分析

成功应用案例

| | Original CTS Results | CTS results with constraints generated by ClockExplorer |
|--------------------|----------------------|---|
| Clock Latency (ns) | (2,509, 2,884) | (1,095, 1,440) |
| Skew (ns) | 0.375 | 0.346 |
| Logic Level | 41 | 14 |
| Buffer Count | 328 | 91 |
| ClockNetCap (pf) | 14.15 | 10.675 |

Clock Latency Comparison



使用ClockExplorer产生的时钟约束之后，Clock latency 最大减少50%，平均缩小了25%。

成功应用案例2

设计基本信息

- 40nm工艺
- 五百万门单元实例，二个主要模块

| | Buffer Count | | Buffer Area | | Latency (ns) | |
|--------|--------------|---------------|-------------|---------------|--------------|---------------|
| | Original | with ClockExp | Original | with ClockExp | Original | with ClockExp |
| Block1 | 12607 | 6833 (-46%) | 58300 | 33830 (-42%) | 2.26 | 1.87 (-17%) |
| Block2 | 8937 | 7572 (-15%) | 34832 | 28192 (-19%) | 1.91 | 1.73 (-9%) |

ZTE 应用华大九天的ClockExplorer工具，大大加快了其SOC设计CTS进程

我们的SOC设计规模大，时钟结构复杂，工作频率高达1G，同时采用了较为先进的40nm工艺，华大九天的数字平台工具ClockExplorer 在我们设计的CTS阶段发挥了很大作用，直观的时钟原理图显示，丰富而又强大的时钟结构分析功能和CTS(时钟树综合)策略生成功能，以及完整的设计约束验证功能帮助我们的工程师快速理清时钟结构并找出CTS的瓶颈和相应的解决方案，很好的促进了前后端的交流，减轻了我们工程师的负担，大大加快了CTS的进程。