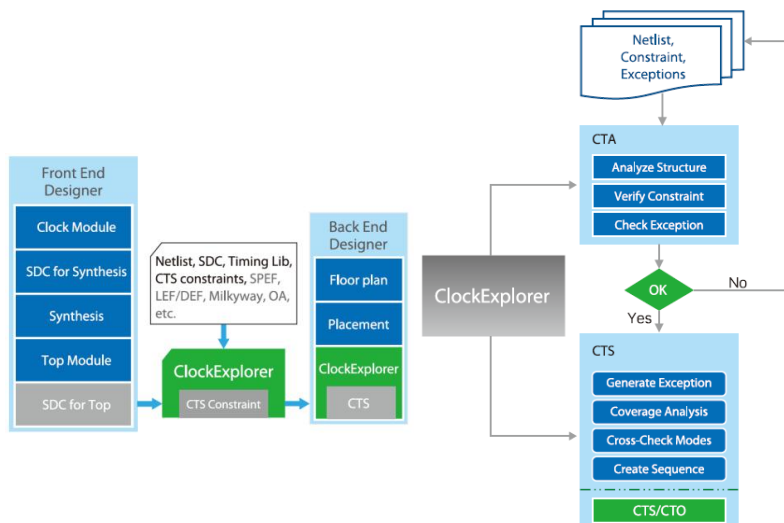


# ClockExplorer

## 复杂时钟分析优化平台

先进工艺下，SOC设计的时钟数目越来越多，时钟结构越来越复杂，时钟树综合质量越来越得到设计者的重视。决定时钟树综合质量的因素主要分为两部分，一是时钟设计的原始结构和时钟约束，二是时钟树综合时的策略。前端工程师需要尽量避免时钟设计里对综合工具不友好的结构，提供干净的时钟约束；后端工程师需要去研究并分析时钟结构，才能制定出最优的综合策略。

ClockExplorer作为连接前后端设计的通用化平台，为用户提供了最全面、高效的时钟解决方案，分析检查复杂时钟系统结构，加速时钟设计收敛，提高时钟树综合质量。



ClockExplorer为时钟系统进行全面的检查校验，提供有效的优化策略，提高时钟树综合质量。

### 前中端设计

- 时钟结构问题诊断，给出优化建议
- 时钟定义及时约束检查，定位具体问题

### 中后端设计

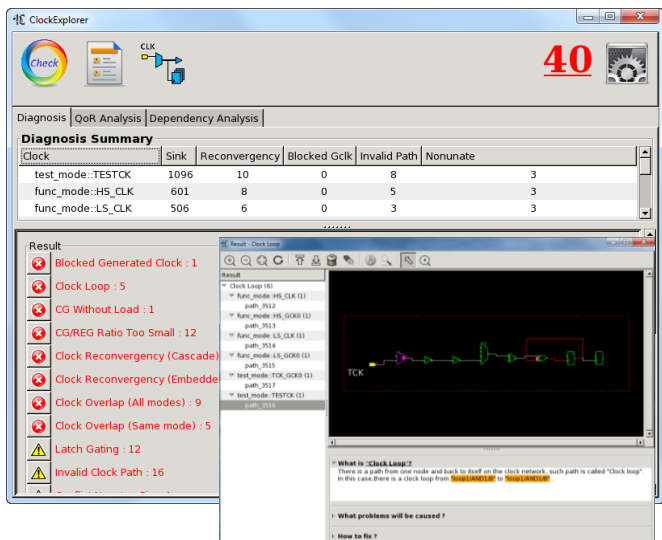
- 结合物理实现，进行时钟结构分析，制定时钟树综合策略
- 时钟树质量评估，分析时钟树综合瓶颈
- 时序相关性分析

## 功能与优势

- 复杂时钟结构的专家分析系统，清晰展现时钟系统结构特点
- 链接时钟前端和后端设计的通用化平台，搭建不同设计阶段之间的沟通桥梁
- 先进的亚深微米时钟设计方法学，解决先进工艺条件下的特殊问题
- 自动分析和提取时钟设计瓶颈，有效缩短设计周期
- 自动检查和修正时钟设计错误，准确定位并提供解决方案
- 自动生成准确、高校的CTS策略，提高时钟树综合质量
- 与业界主流CTS工具无缝链接，简化时钟结构，优化时钟设计
- 更友好的用户界面，提供一键检查和结果图示，自动报告汇总

## 时钟检查评分系统

ClockExplorer提供了一键式时钟检查平台及评分系统，丰富的检查功能帮助检测出潜在的不友好的时钟结构，检查结果结构图可以清楚定位到问题的位置，并给出改进的建议。

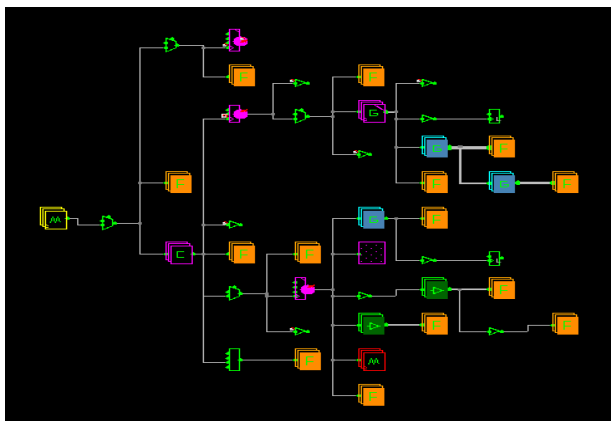


评分系统主要分为三部分：

- 时钟结构及约束诊断(clock diagnosis)  
Cross domain clocks, clock used as data ...
- 时钟质量瓶颈分析 (clock qor analysis)  
Longest physical path, U-turn path...
- 时序相关性检查 (timing dependency check)  
Local skew, inter-clock skew, early branch ...

## 时钟结构图分析平台

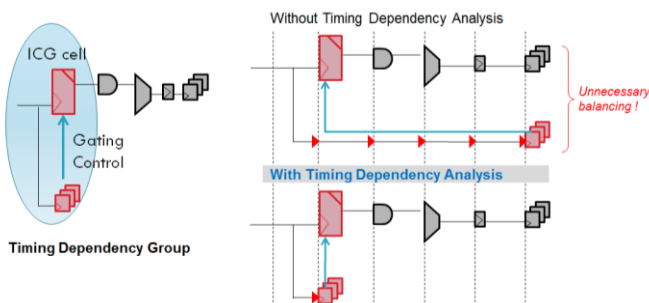
ClockExplorer提供了强大的时钟结构图分析功能，内嵌布局布线引擎，先进算法将重复性逻辑模块化，使时钟图更加简洁清晰，帮助前后端设计人员分析时钟结构。



- 多模式时钟拓扑结构分析
- 根据逻辑级数或延时展示时钟结构
- 多时钟组合结构展示
- 数据路径输入输出连接关系分析
- 最长最短路径追踪
- 时序元件时序依赖关系展示

## 时钟树综合策略建议

时钟树综合的时候，只有彼此之间真正有逻辑数据通路连接的时序元件才需要平衡。ClockExplorer自动对这类单元进行时序相关性分组，生成时钟树综合策略，从而避免不必要的缓冲器单元插入，也改善了后续的时序问题。



## 成功案例

使用ClockExplorer产生的时钟约束之后，Clock latency最大减少50%，平均减少了25%。ClockExplorer 现已成为多家国内外领先IC设计公司的标准时钟解决方案，成功完成了百余颗存储、网络、视频、手机登大规模SoC芯片的流片生产。

	Original CTS Results	CTS results with constraints generates by ClockExplorer
Clock Latency (ns)	(2,509, 2,884)	(1,095, 1,440)
Skew (ns)	0.375	0.346
Logic Level	41	14
Buffer Count	328	91
ClockNetCap (pf)	14.15	10.675

Clock Latency Comparison

