

复杂时钟分析优化平台

ClockExplorer

时钟设计挑战

在复杂芯片设计中，时钟数目多且结构复杂，需要插入大量的缓冲器单元来驱动时钟信号同时到达各个同步单元。时钟树综合（CTS）工具力图插入尽量少的缓冲器单元，达到一个平衡的时钟网络结构，使得时钟传输延迟短、偏差小。过大的时钟传输延迟带来的OCV扰动问题，过大的时钟偏差会对后续的时序收敛造成困难。再加上时钟线网的频率非常高，时钟系统的功耗占整个芯片的功耗比例也越来越大。特别对于流行的手机和便携智能设备设计，低功耗的要求尤为突出。

复杂的时钟结构

时钟网络最初的拓扑结构很简单，时钟信号从根节点出发，按照树型结构传递到同步单元接收端。复杂SoC设计中包括有上百条时钟，结构也由时钟树结构发展为时钟图结构。不同时钟之间存在着相互重叠的部分，再加上门控时钟的引入降低时钟网络功耗。这一切都使得时钟系统的设计和实现愈发复杂。

而且复杂SoC芯片设计当中设有不同的工作模式，例如测试模式，工作模式等。每个模式下的时钟定义和时钟网络结构都不相同。在某一个模式下时钟网络的平衡，并不代表在其它模式下依旧平衡。特别是当系统设计包含了其它IP模块时候，模块内部的时钟网络已经被事先设计好，无法进行修改。时钟树综合面临着更大的挑战。

前端设计与后端设计之间的鸿沟

时钟系统通常是由前端工程师完成规划设计，然后交予后端工程师使用时钟树综合（CTS）工具去做物理实现。而实际情况是前端工程师无法预估实现过程中的物理约束，因此无法给出合理的时钟约束。另一方面，后端工程师受到时序和功耗目标的限制，不能完全实现前端工程师所设想的理想结果。设计与实现之间存在着巨大的鸿沟，前端与后端工程师看到的时钟视图也并不相同。

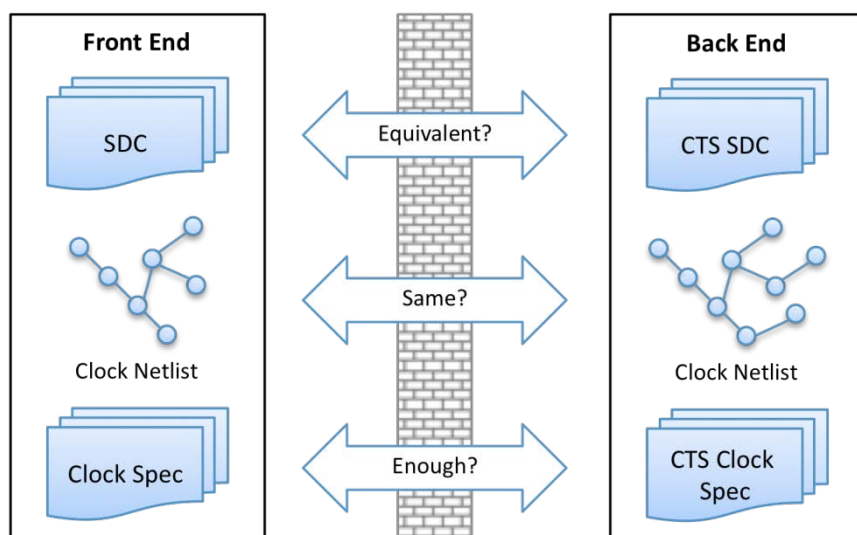


Figure 1. 前端与后端设计工程师之间的沟通

前端和后端工程师都使用SDC文件来定义和约束时钟。复杂SoC设计中会有不同的工作模式，每个工作模式对应不同的SDC文件，而时钟树综合工具往往只能处理单一SDC文件。这个单一SDC文件由不同工作模式下的多个SDC文件合并而成，与前端工程师的设想会有出入。因此会存在很大的风险，时钟系统最终的物理实现和设计标准存在差异，整个芯片生产会因此而延迟，性能因此而变差。

复杂的时钟约束

现代先进SoC设计不断追求高性能与低功耗，物理设计变得越来越复杂。其中最为关键的时钟系统设计也面临越来越多的困难。

首先，芯片包含的单元数目不断增多，面积不断增大，通常需要层次化复杂设计，这就需要时钟树也需要进行层次化处理。

其次，当工艺结点不断下降，到达20nm工艺节点甚至以下，信号完整性（SI）问题尤为突出，成为物理设计和时序收敛的最大障碍。由于时钟信号频率较高，也最容易受到信号完整性问题的干扰。因此对于时钟线网的布线有着特殊的规定和要求。

另外，多电压域设计越来越多的应用在低功耗SoC设计当中。整个芯片面积被划分为多个不同电压的电压岛，不同电压岛中的单元类型不同。全局时钟树连接很可能会跨越不同的电压域。

时钟树综合的质量瓶颈

时钟树综合（CTS）步骤会试图平衡所有的同步单元，保证时钟信号尽可能地同时到达各个时钟管脚。时钟树综合之后，瓶颈关键路径就不是那么显而易见了。因为时钟网络中插入了很多缓冲器单元，所有时钟路径都被增长以和最长的路径相平衡。

为了进一步提高时钟树综合质量，减少时钟路径传输延迟和缓冲器单元数目，需要找到时钟树综合质量瓶颈的关键路径所在。可能是由于物理布局存在问题，也可能是时钟结构存在太多的逻辑路径，这些因素都会影响到时钟路径传输延迟。只有找到真正的瓶颈关键路径，才可能做出优化调整，来改善时钟树的综合结果，为后续的时序收敛步骤打下更好基础。

时钟系统分析与优化

上面谈到的问题都会在ClockExplorer™工具中得到完美解决。它提供了丰富的时钟分析和检查功能，可以帮助设计者了解复杂时钟结构，修正时钟设计问题，提高时钟树综合的质量：

- 强大的时钟结构图形显示，可以交互式的显示不同模式下的时钟结构
- 一键式检查平台，提供时钟质量分析评估分数
 - 时钟诊断
 - 时钟树综合质量分析
 - 时序相关性分析

强大的综合性时钟图形显示

ClockExplorer将复杂的时钟结构进行了抽象封装处理，用图形可视化的方式将最重要的信息传递给用户，便于用户快速了解并掌握繁杂的时钟设计。交互式的图形用户界面允许查看单元线网等属性，还可以从某个单元进行前向或后向的追踪，寻找并显示最长或最短时钟路径等。同时不仅仅是单个时钟的内容，还可以将某一工作模式下的多个时钟同时显示出来，便于了解时钟之间的相互关系，制定更优化的CTS策略。

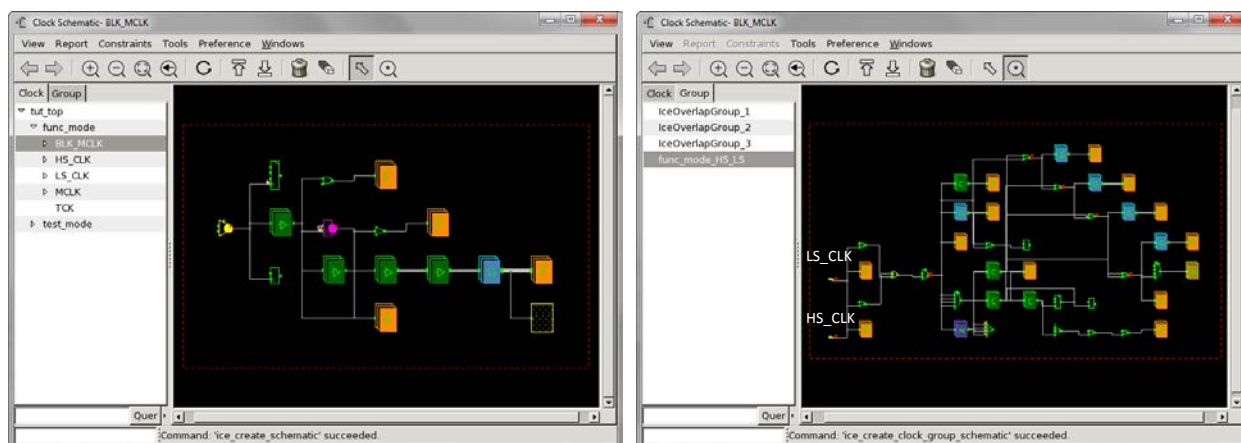


Figure 2. 带模块封装的单时钟及时钟组结构图

时钟树综合之后，时延信息和逻辑级别信息可以反标在图形窗口中，供前端和后端的工程师审阅和分析。通过与版图浏览窗口的交叉索引，可以方便地在物理版图中寻找定位单元、线网、路径等元素，分析处理不合理布局问题等。

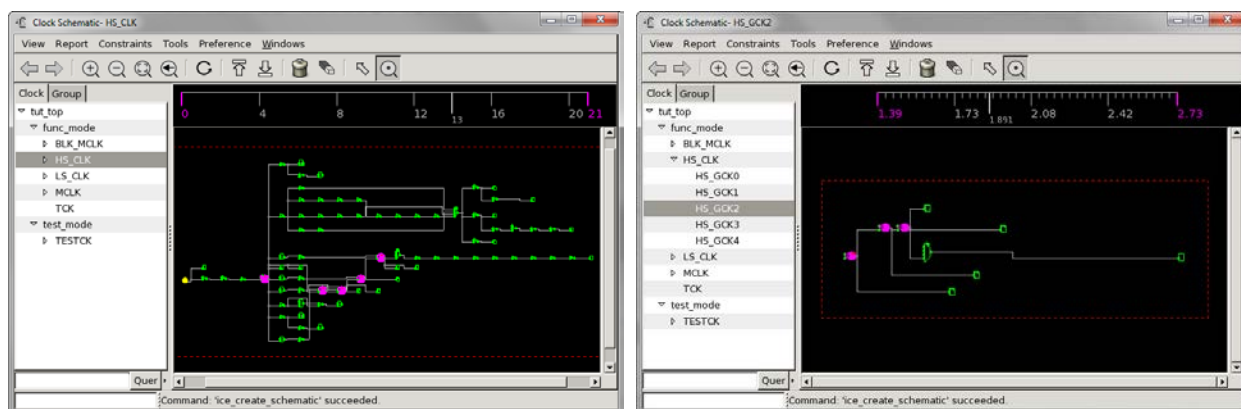


Figure 3. 按照逻辑层次和时延值显示的时钟结构图

复杂时钟分析优化平台

一键式检查平台

ClockExplorer提供了一个检查平台，可以在时钟树综合步骤之前或之后对时钟系统进行诊断，发现并展现潜在的问题，并提供专家意见以供用户参考。对于每一项检查，结果窗口都会提供详细的信息。存在问题的特征结构被高亮显示在结果窗口中。并且提供专家库建议，分析问题的起源、危害已经如何避免和解决。从结果窗口也很容易切换到时钟显示窗口和版图浏览窗口，便于用户查看和定位问题。

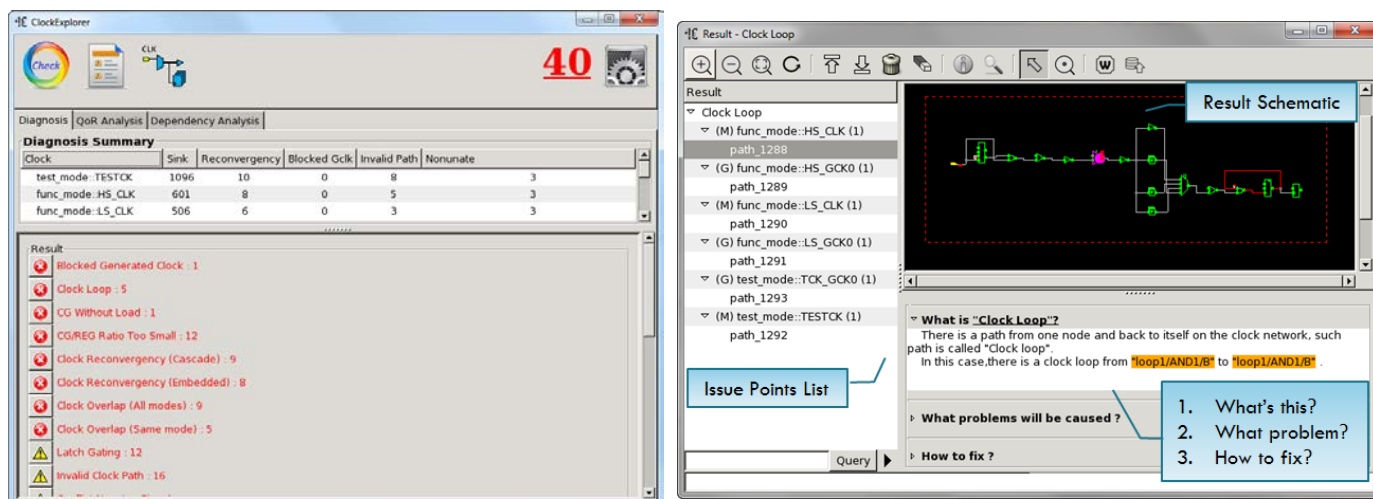


Figure 4. 提供评估分数的时钟分析与优化平台及检查结果窗口

时钟诊断

- SDC约束文件检查，保证主时钟和派生时钟定义正确
- 检查派生时钟是否缺失定义，或者时钟信号无法从主时钟传递到派生时钟
- 检查是否有同步单元无法得到时钟信号触发
- 检查不同工作模式下同步单元时钟属性是否有定义冲突
- 门控时钟结构检查（ICG单元是否驱动合理数目的负载）
- 时钟结构是否存在某些特殊结构，不利于时钟树综合

时钟树综合质量分析

对于那些已经做过时钟树综合的设计，ClockExplorer可以检查时钟树综合质量的好坏。最长的物理路径和关键瓶颈路径都会报告给用户，可以进一步调整以减少时钟延时和功耗。

- 最大扇出/负载电容/翻转时间报告
- 链状缓冲器报告
- 时钟传输延迟结果分布
- 时钟逻辑级别较大的时钟报告
- 最长及最短时钟路径报告
- 关键路径的瓶颈分析

与版图浏览窗口相结合，设计者可以更好的掌控了解时钟树综合结果，了解问题所在，并及时作出调整和优化。

复杂时钟分析优化平台

时序相关性分析

在同步设计当中，并不是所有的同步单元彼此都有时序联系。所谓的“时序相关”描述的就是那些彼此之间有时序联系的同步单元，它们隶属于同一个时序相关性分组。

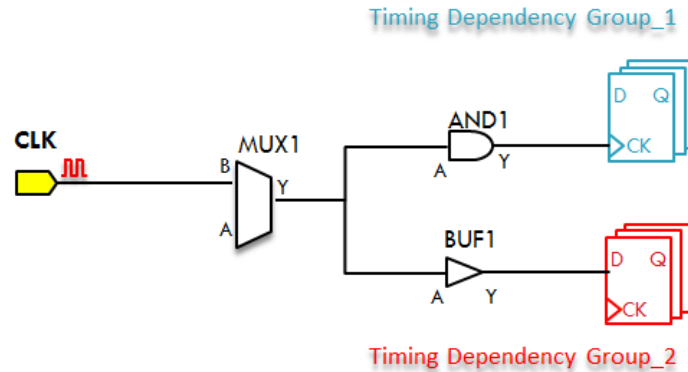


Figure 5. 时序相关性分组

在时钟树综合过程中，只有那些有时序联系的同步单元的时钟路径需要平衡。而那些不同时序相关性分组内的同步单元，虽然在相同的时钟网络内，但并不要求时钟信号同时到达。因此可以省去用于平衡非时序相关同步单元的缓冲器，以节省芯片面积，降低时钟网络功耗。

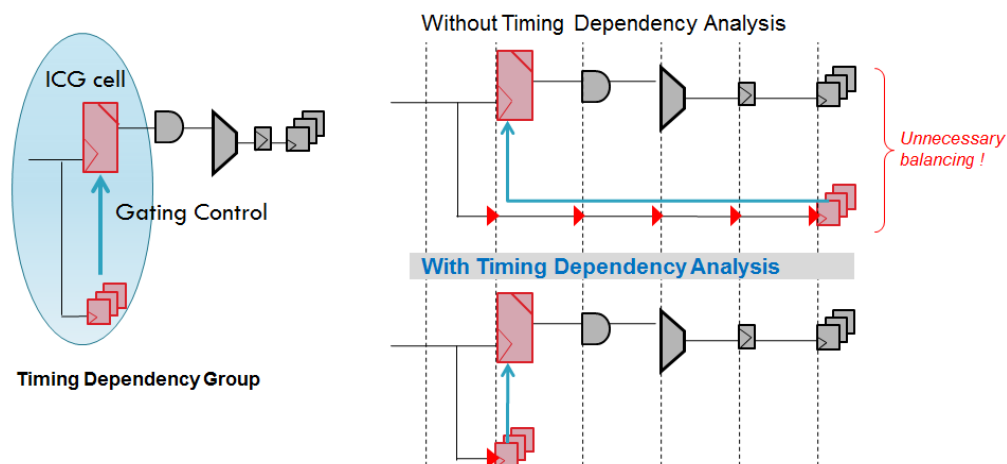


Figure 6. 时序相关性分组影响时钟树综合结果

上图给出了一个ICG与它的控制单元同属一个时序相关性分组的例子，由于时钟树综合工具缺乏时序相关分析，会把ICG控制单元和普通存储同步单元一起做时钟路径平衡。因此很多不必要的缓冲器单元被插入到控制单元前，不但浪费了设计资源，而且将来会导致ICG的门控使能时序问题。

ClockExplorer会针对时序相关分析，做下列检查：

- 参考点（Reference pin）与目标点（Target pin）存在较大逻辑级别差异
- 参考点（Reference pin）与下游的目标点（Target pin）存在较大逻辑级别差异
- 时序相关性分组内存在较大逻辑级别差异
- 同一时序路径的起点与终点存在较大逻辑级别差异或延时差异
- 有时序联系的不同时钟之间的偏差报告

结论

在复杂SoC设计中，如何在时钟树综合过程中得到传输延迟更快，功耗更低的结果，能够提供一个时钟分析、检查、优化的平台至关重要。ClockExplorer产品就提供了这样一个“一键式”检查的平台，它可以帮助复杂时钟结构分析，时钟树综合质量分析，时序相关性分析等。通过系统的时钟分析与优化，可以找到时钟设计中的问题与瓶颈，进一步缩短时钟传输延迟，降低时钟功耗。它搭起了前端设计与后端设计的桥梁，可以让工程师在这个统一的平台上讨论时钟结构和约束的设计，大大提高了时钟系统设计的效率，保障了时钟树综合的质量。