

新一代高性能并行电路仿真工具

面临挑战

随着集成电路的工艺进入深亚微米阶段，电路设计规模急剧增加，设计工艺复杂度也不断提高。另一方面，产品上市周期变得越来越短，不仅仅要实现功能，还需要综合考虑功耗、时序、寄生参数等对电路的影响，后端验证变得越来越重要、越来越困难，而且设计验证的效率需要更高。由于后仿电路的寄生器件规模急剧增加，设计工程师在使用传统SPICE仿真工具进行功能验证时遇到了前所未有的挑战。目前模拟电路后仿真面临的挑战主要有以下几个方面：

1. 元器件数量大带来的大数据问题。由于考虑了寄生元器件，后仿真电路具有大量的元件，如何处理这些海量数据对于后仿真工具来说是一个巨大的挑战；
 2. 仿真效率问题。由于芯片设计的周期越来越短，留给器验证的时间很少，而后仿真电路涉及大量的元器件，元器件的数量可以达到上亿，而且器件模型也越来越复杂，参数越来越多，大量的元器件电学特性计算和矩阵计算是后仿真工具必须解决的问题；
 3. 可信度问题。一般来说后仿真会采用一些简化模型和一些特殊的RC处理方法，可能会对精度造成一定的影响，如何控制精度，在精度和效率之间达到很好的平衡，一直是后仿真需要解决的问题。
- 业内各大EDA公司都纷纷推出后仿真工具，但这些工具还是不能满足业内的需求。一方面速度达不到业内的要求，对一些后仿真电路需要几个星期甚至几个月的情形不在少数；另一方面，精度达不到要求，由于后仿真工具可能采用了降低精度的技术，导致仿真结果不能被接受；最后使用不方便，用户可能需要根据电路类型对不同的参数进行设置才能得到较好的速度和精度。

最新进展及发展趋势

目前各大EDA公司等都在积极的研发针对后仿真的一些加速技术，主流的加速技术主要包括模型简化、模型表格化、矩阵分割、多速率仿真、事件驱动技术、RC约减技术等。

1. 模型简化。深亚微米的器件模型非常复杂，参数多达几百，复杂模型势必带来巨大的计算量，给后仿真带来挑战。模型简化就是在一定的精度控制下，把模型进行精简，损失一定的精度，带来速度的提升。
2. 模型表格化。把模型在不同的电压下的不同电学状态保存在表格中，然后在需要的时候就可以不通过计算直接查表得到器件的状态，大量节省计算量。但是这种方法由于需要用到插值的算法，同样会给精度造成损失，而且表格本身的存储和维护也会造成一定的计算机开销。
3. 矩阵分割。当电路很大的时候，需要根据电路特性对电路进行分割，分割成若干耦合较少的模块进行独立的求解。目前比较成熟的算法包括超图划分技术、BBD、SuperLU、Pardiso、Mumps等。
4. 多速率仿真。当电路规模大了以后，电路中存在频率差别很大的模块，采用统一频率仿真造成巨大的浪费，可以对不同频率的模块使用不同速率的仿真达到减少计算量的目的。
5. 事件驱动技术。对电路从功能上进行模块划分，当另一个模块的输入变化量达到一个事件时，再驱动下一个模块进入仿真过程，这样可大大降低计算量，但会带来显著的精度问题。
6. RC约减技术。由于后仿真电路中存在数量巨大的RC网络，带来了巨大的计算量，RC约减技术主要针对这一情况进行RC的约减，采用尽量等效的网络替代原本复杂的RC网络实现计算量的降低，但这种方法也会带来精度的损失。

总的来说，目前业内采用的这些方法都可以大大加速后仿真过程，但是也会带来精度的损失，如何在精度和速度之间达到一个平衡是后仿真技术需要解决的关键。

新一代高性能并行电路仿真工具

解决问题

ALPS-AS是新一代高速高精度并行晶体管级电路仿真工具，能够在保持高精度的前提下突破目前验证大规模电路所遇到的容量、速度瓶颈。ALPS-AS能够处理上千万个元器件规模的设计，并通过独有的多核并行优化技术、内存管理技术和多步长控制技术，针对后仿电路，采用独有的精度无损的智能矩阵求解器，使仿真速度较传统晶体管级电路仿真工具实现大幅提升。

在右图中，ALPS-AS的输入是来自Aether-SE等原理图编辑器的网表和PDK中的SPICE模型、Verilog-A的模型，输出是通过仿真生成的波形数据，通过iWave可以显示、测量、计算、编辑该波形。ALPS-AS内含Parser、Database、Model和Engine四部分。

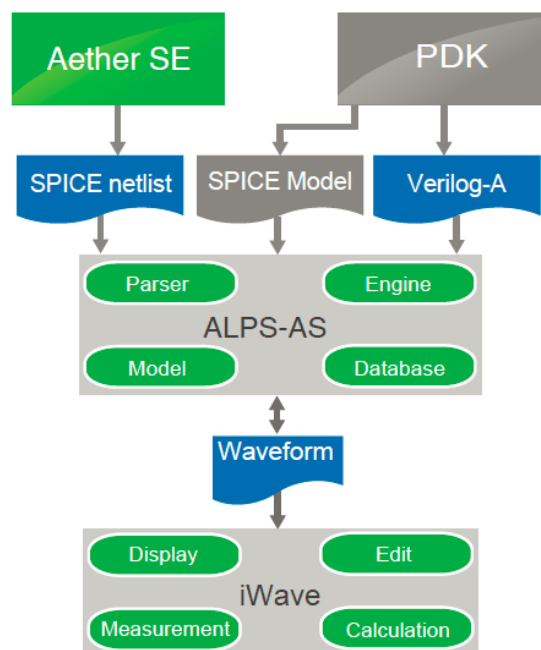


Figure 1. Analog设计解决方案

精度

完全的SPICE精度，不使用任何模型简化技术。求解全电路方程，严格的收敛准则及步长控制方法，确保了计算结果的精确性，从电路仿真角度不遗漏任何设计隐患。

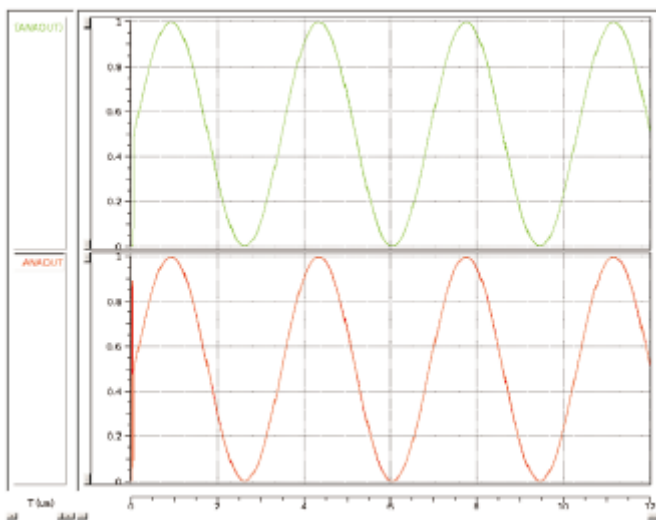


Figure 2.ADC电路输出波形

上图给出了ADC电路的输出波形。其中电路输入是一个正弦信号，ANAOUT是经过AD转换得到的输出。绿色表示ALPS-AS的仿真结果，红色表示业内主流仿真器的结果。表格中给出了对信号ANAOUT计算的SNR结果，ALPS-AS与主流仿真器的结果误差可以完全忽略。

指标	主流仿真工具	ALPS-AS
SNR(dB)	60.132	60.127

新一代高性能并行电路仿真工具

速度

极大地节省矩阵求解时间。利用先进的建立矩阵、求解矩阵技术，多线程并行算法，超过10种的矩阵求解方法、独有的内存管理技术和多步长控制技术，针对后仿电路采用精度无损的智能矩阵求解器，在确保电路收敛的同时最大限度地节省矩阵求解时间。

右图中分别对DAC, Multiplier, PWM和PLL四种典型电路进行了测试分析。与传统SPICE工具相比，ALPS-AS的仿真速度得到显著的提升。并行仿真方面，ALPS-AS保持了较好的线性加速比。所测结果表明，8核并行加速比可以达到4~7倍左右。

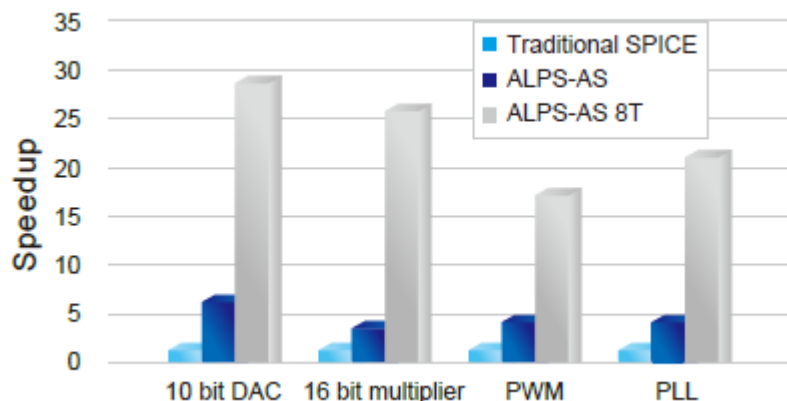


Figure 3. ALPS性能比较

容量

独特的内存管理方法，能有效保障千万量级晶体管规模的电路仿真容量。

右图给出了ALPS-AS与传统SPICE仿真工具和Fast-SPICE仿真工具的精度和容量的比较。一方面ALPS-AS具有100%的SPICE精度。另一方面，ALPS-AS采用了先进高效的内存管理方式，使其仿真容量得到显著提高。

ALPS-AS可以处理千万量级晶体管规模的电路仿真，在保证仿真精度的同时几乎可以达到Fast-SPICE的处理能力。

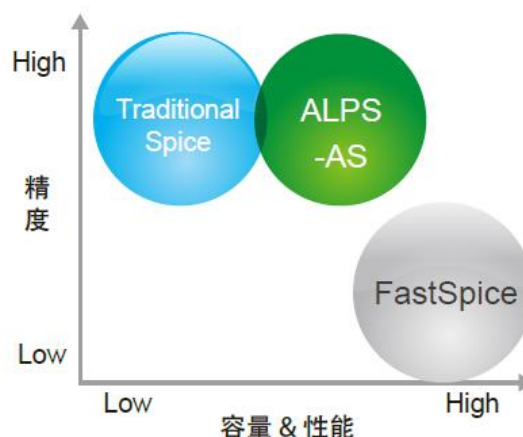


Figure 4. ALPS-AS容量和性能比较

功能

支持业界主流的晶体管模型和建模语言，包括BSIM3, BSIM4, BSIMSOI, PSP, TFT, BSIMCMG, BJT, JFET, DIODE, S-element, 无源器件和电源, 硬件描述语言Verilog-A。

常用的电路分析类型，包括OP, DC, Tran, AC, PZ, Noise, Transient Noise多重扫描等常用的电路分析类型，提供完善的Corner分析，Monte-Carlo分析，以及快速Monte-Carlo分析

多核并行

兼容业界常用的网表格式

完善的电路自动静态和动态检查

强大的智能矩阵求解器

支持标准格式的波形输出

结论

随着设计规模的急剧增加和设计工艺复杂度的不断提高，尤其是后仿电路的寄生器件规模急剧增加，设计工程师在使用传统SPICE仿真工具进行功能验证时遇到了前所未有速度和容量的挑战。

ALPS-AS工具是新一代高速高精度并行晶体管级电路仿真工具。能够处理上千万个元器件规模的设计，并通过独有的多核并行优化技术、内存管理技术和多步长控制技术，针对后仿电路，采用独有的精度无损的智能矩阵求解器，使仿真速度较传统晶体管级电路仿真工具实现大幅提升。兼容多种业界常用的SPICE网表格式、常用模型以及分析类型，支持硬件描述语言Verilog-A。支持完善的电路分析以及失效分析，提高电路设计的可靠性。独有的加密工具，保护您的知识产权。支持模拟电路的自动参数优化功能，提高电路设计效率。完善的电路自动静态和动态检查，帮助发现电路潜在的设计问题。